

Design Compiler NXT

次世代の Design Compiler

**Design Compiler NXT は、
2 倍の実行スピードと
優れた設計結果品質、
クラウド対応の
新しい分散処理エンジンを
ご提供します**

概要

業界標準の論理合成ツール Design Compiler® Graphical の後継として革新的な合成テクノロジーを搭載した Design Compiler NXT は、設計者の皆様に 2 倍の実行スピードと優れた設計結果品質、クラウド対応の新しい分散処理エンジンをご提供します。Design Compiler Graphical と IC Compiler™ II の間の従来のテクノロジー・リンクが強化され、合成と配置配線の間でタイミングおよび寄生抵抗/容量 (RC) の相関性が更に向上します。Design Compiler NXT の合成テクノロジーは、5nm 以降の次世代プロセス・ノード・テクノロジーもサポートします。

主な利点

Design Compiler NXT は、業界をリードする合成ツール Design Compiler Graphical に数々の先進機能を追加し、最先端のテクノロジー・ノードを利用したデザインに設計生産性と結果品質の向上をもたらします。

- ▶ Design Compiler Graphical と共通のユーザー・インターフェイスならびにスクリプト互換性により、プラグ・アンド・プレイを実現
- ▶ マルチスレッディング・テクノロジーの改良により、最大 8 CPU までのスケーラビリティを達成し、実行スピードが 2 倍に向上
- ▶ 高度な最適化とコンカレント・クロック・データ (CCD) テクノロジーにより、ダイナミック消費電力の結果品質が 5% 改善
- ▶ 結果品質を犠牲にすることなくインテリジェントにワークロードを分割するクラウド対応の新しい分散処理技術

- ▶ 5 nm以降を含む次世代プロセス・ノードをサポート
- ▶ IC Compiler IIへのフィジカル・ガイダンスを強化し、RCおよびタイミングの相関性が向上
- ▶ IC Compiler IIと共通のライブラリおよびブロック抽象モデルを利用できる他、Milkyway™ライブラリのサポートも継続

2 倍の実行スピード

実行スピードの大幅な向上により、最先端のテクノロジー・ノードを利用したSoCでも短期間でのデザイン・クロージャが可能です。Design Compiler NXTは、内部コア・エンジンの高速化によって幅広い種類のカスタマー・デザインで実行スピードの向上を実現するとともに、新しいスマートなマルチスレッディング・テクノロジーにより最大8コアまでのスケーラビリティを達成し、合成最適化のあらゆるステージで実行スピードが向上します。また、新しい分散処理エンジンはインテリジェントなワークロード分割をサポートしており、分割したワークロードを別々のマシンに送信し、デザイン全体の物理/論理コンテキストを維持したまま動作させて最適化を実行できます。特に先端ノードを使用した大規模なデザインでこのアプローチを利用すると、結果品質に妥協することなく実行スピードを向上させることができます。

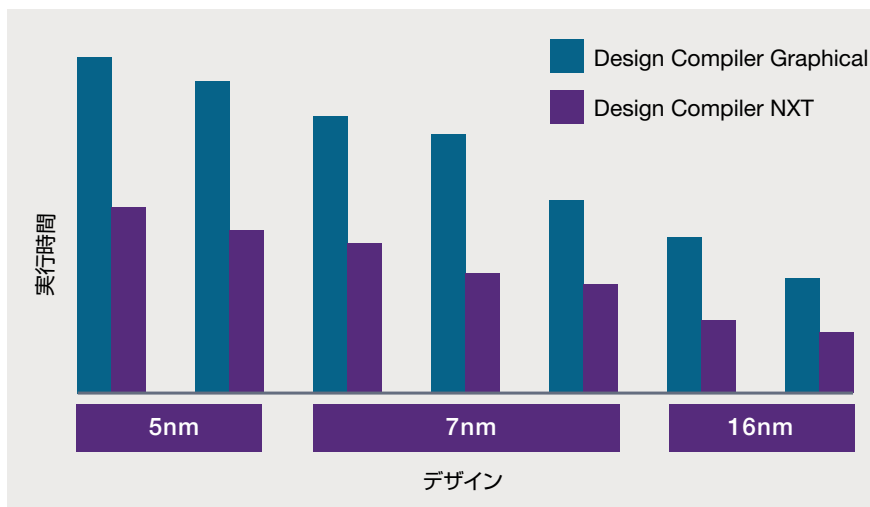


図1：実行スピードが向上したDesign Compiler NXT

結果品質が 5% 改善

各種の最適化により、ダイナミック消費電力を5%削減できます。マッピング、論理再構成、再配線などの機能に新しい手法を導入することで、タイミング、面積、配線混雑度に影響を与えることなくダイナミック消費電力を削減します。また、IC Compiler IIのCCDテクノロジーを利用してスキューを動的に管理することで、タイミングおよびパワー・リカバリーを改善します。

あらゆる先端プロセスをサポート

Design Compiler NXTはビア・ピラー、Pattern-Must-Join、自動NDR (Non-Default Rule)、ピン・アクセスの考慮、バリエーションを考慮したライブラリ、レイヤを考慮した最適化などさまざまな要件を引き続きサポートすることにより、5 nm以降の先端ノードに対応した合成テクノロジーをリードします。また、現在開発中の次世代量産プロセス・ノードで性能/消費電力/面積のメリットを引き出せるよう、ファウンドリの要求とカスタマーの期待に応える新しい合成機能の開発も進めています。

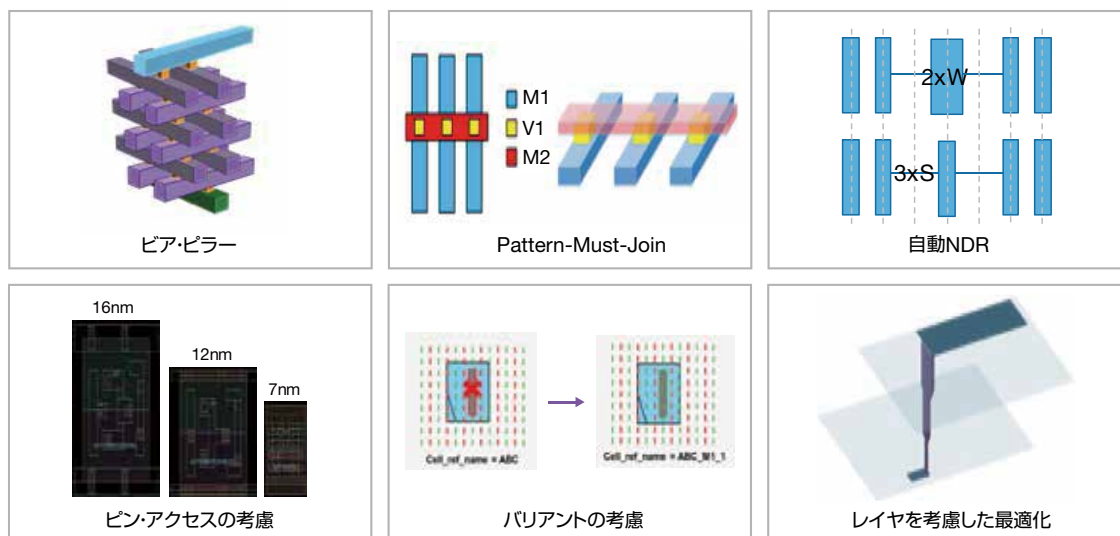


図2：先端プロセス・ノードのサポート

IC Compiler IIへのフィジカル・ガイダンスを強化

ジオメトリの微細化によってデザインがますます複雑になる中で、RTL 設計者は合成結果とレイアウト結果のより緊密な相関性を求めています。RTL-to-GDS フローの効率を最大限に高めるため、Design Compiler NXTは、単位RCモデリングやビア推定などネット・トポロジーの寄生推定に関してIC Compiler IIとの整合性を取りながら、ローカル密度も考慮して寄生計算を実行します。高精度タイミング・モデルを使用してパス単位およびエンドポイント単位の計算を実行することにより、合成と配置配線の相関性が更に改善します。

共通のライブラリおよびブロック抽象モデル

Design Compiler NXTは、IC Compiler IIとライブラリおよびブロック抽象モデルが共通化されており、合成と配置配線で同じライブラリを使用できます。デザインの開発中にライブラリ・モデルが更新された場合でも、合成、配置配線、およびフィジカル設計を考慮したサインオフ・ドリブンECOの間でライブラリの同期が失われるリスクが減少します。また、Design Compiler NXTはMilkywayのサポートも継続しており、完全な後方互換性を維持しています。

Design Compiler Graphical の機能を継承、強化

- ▶ Design Compiler Graphicalと共通のユーザー・インターフェイスならびにスクリプト互換性により、プラグ・アンド・プレイを実現
- ▶ RTLとデザイン・ビュー（スキマティック、タイミング・レポート、フィジカルビューなど）との間をクロスプロブすることにより、デバッグを高速化
- ▶ 設計初期でフィジカル設計を可視化およびデバッグすることにより、フィジカル・インプリメンテーション前にレイアウトの問題を特定
- ▶ フロアプラン事前検討により、最適なフロアプランにより早く到達
- ▶ 合成前および後の正確な配線混雑予想および混雑度ドリブン最適化により、配線が容易に
- ▶ ゲート間の最適化により、タイミング品質を維持しながら新規または既存デザインの面積を削減
- ▶ コンカレントなマルチコーナー、マルチモード (MCMM) 合成

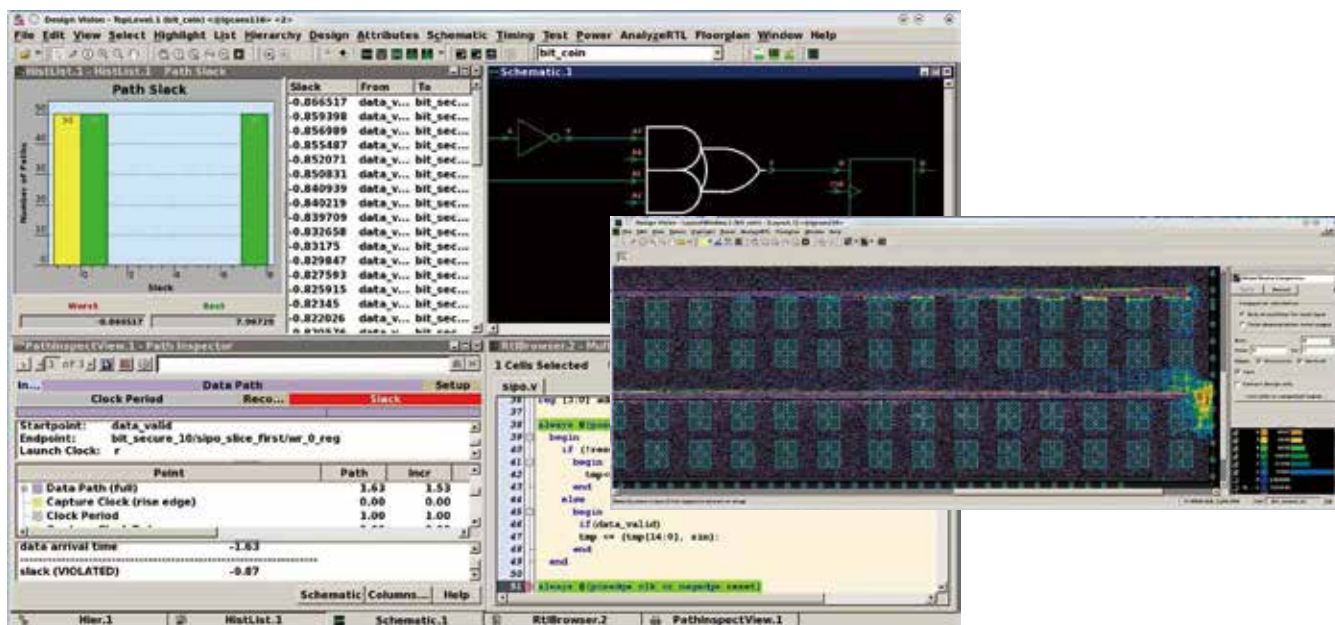


図3：RTL、スキマティック、タイミング、レイアウト・ビューの間でクロスプロブをサポート